Objetivos:

Familiarizarse con el diseño de Conversores Analógicos/Digitales.

Requisitos:

Diseno de un Conversor Analogico/Digital de 3 bits.

Tecnologia: 180 nanometros.

Frecuencia de funcionamiento: 100 kHz.

Resolucion: 300 milivoltios.

CONSIDERACIONES PARA EL DISENO:

Para diseñar el comparador, nos basamos en dos arquitecturas de dos etapas, distintas pero clásicas.

La primera en una estructura tipo \_\_\_\_\_\_\_\_\_\_\_\_ sin compensación a lazo abierto (CMOS Analog Circuit Design de Allen y Holberg).

Teniendo en cuenta algunas consideraciones para el diseño y siguiendo algunas formulas de orientación, podemos describir el proceso de diseño de la siguiente manera:

* El voltaje máximo de salida, asumiendo que el GATE de M6 posee un mínimo voltaje definido como VG6(min), podemos expresar al máximo voltaje de salida como:

VOH=VDD-VDD-VG6min-VTP1-1-2I7β6VDD-VG6min-VTP2

* Con el mínimo voltaje de salida como:

VOL=VSS=GND=0

* La ganancia de pequeña señal del comparador resultaría estar definida por:

Av0=gm1gds2+gds4gm6gds6+gds7

* Los polos de la primera p1 y segunda p2 etapa están expresado como:

p1=-gds2+gds4CI

p2=-gds6+gds7CII

Considerando a CI como la sumatoria de todas las capacidades conectadas a la salida de la primera etapa y a CII como la sumatoria de todas las capacidades conectadas a la salida de la segunda etapa.

* La respuesta en frecuencia del comparador de dos etapas puede ser expresado como:

Avs=Av0sp1-1sp2-1

DISENO Y SIMULACION:

El comparador fue disenado, simulado, redisenado y resimulado en varios ocaciones hasta dimensionarlo y observar que su comportamiento era el adecuando para el uso que se le iba a dar, sin importar los niveles de consumo del mismo en un principio. Luego de resultados exitosas de pruebas en un diseno despreocupado por el consumo, lo modificamos nuevamente hasta obtener resultados complacientes como los anteriores, pero con la mayor optimizacion posible (menor consumo y tamano del dispositivo).

* Esquematico del comparador:
* Simulacion tipo Bias:
* Simulacion tipo Transient:

CONSIDERACIONES A PARTIR DE LA SIMULACION:

* Ubicacione de los Polos del circuito:
* Respuesta al Escalon:
* Propagacion del Delay Time de Slewing:

Mientras mas grandes hagamos la “Magnitud de los Polos”, menosr va a ser nuestra “Propagation Delay Time of a Slewing”.